

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-295662

(43)Date of publication of application : 10.11.1995

(51)Int.Cl.

G05F 1/00
H02J 1/00
H02M 3/155

(21)Application number : 06-084776

(71)Applicant : TOYOTA AUTOM LOOM WORKS LTD

(22)Date of filing : 22.04.1994

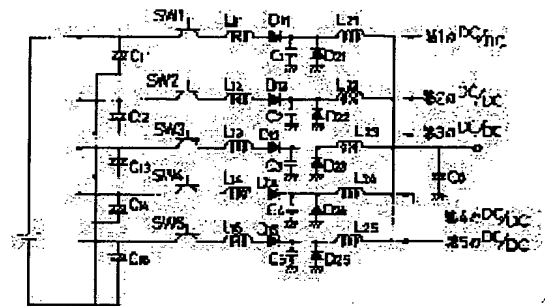
(72)Inventor : MAKINOSE KOUICHI

(54) POWER CIRCUIT

(57)Abstract:

PURPOSE: To reduce the interaction among respective power circuits of the power circuit consisting of a plurality power circuits.

CONSTITUTION: A DC/DC converter is constituted by connecting 1st-5th DC/DC converting circuits in parallel. In the DC/DC converting circuits, currents flows to corresponding inductors L11-L15 and are accumulated in capacitors C1-C5 when switches SW1-SW5 are closed, but voltage are outputted when they are opened. The switches SW1-SW5 are so controlled that at least one of them is closed. Further, the switches SW1-SW5 are so controlled that switches SW of mutually adjacent DC/DC converting circuits are not closed at the same time.



LEGAL STATUS

[Date of request for examination]	19.01.2001
[Date of sending the examiner's decision of rejection]	03.12.2002
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]	
[Date of final disposal for application]	
[Patent number]	3628348
[Date of registration]	17.12.2004
[Number of appeal against examiner's decision of rejection]	2003-00139
[Date of requesting appeal against examiner's decision of rejection]	06.01.2003
[Date of extinction of right]	

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-295662

(43) 公開日 平成7年(1995)11月10日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
G 0 5 F 1/00		F		
H 0 2 J 1/00	3 0 8 P	7429-5G		
H 0 2 M 3/155	W			

審査請求 未請求 請求項の数 5 O L (全 6 頁)

(21) 出願番号 特願平6-84776

(22) 出願日 平成6年(1994)4月22日

(71) 出願人 000003218

株式会社豊田自動織機製作所

愛知県刈谷市豊田町2丁目1番地

(72) 発明者 牧野瀬 公一

愛知県刈谷市豊田町2丁目1番地 株式会

社豊田自動織機製作所内

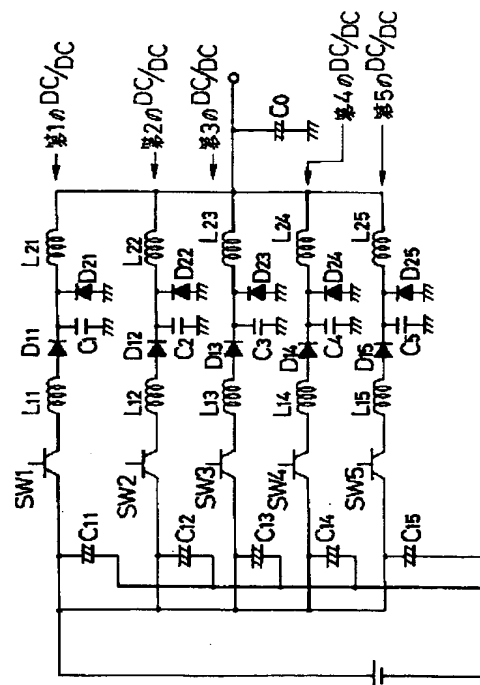
(74) 代理人 弁理士 大菅 義之

(54) 【発明の名称】 電力回路

(57) 【要約】

【目的】 複数の電力回路からなる電力回路における各電力回路どうしの相互作用を小さくする。

【構成】 第1～第5のDC/DC変換回路を並列に接続してDC/DCコンバータを構成する。各DC/DC変換回路では、それぞれスイッチSW1～SW5がオン状態のときに対応するインダクタL₁₁～L₁₅を介して電流が流れてコンデンサC₁～C₅に蓄積され、オフ状態のときには電圧が出力される。スイッチSW1～SW5は、常にその中の少なくとも1つがオン状態となるように制御される。また、スイッチSW1～SW5は、互いに隣接するDC/DC変換回路のスイッチSWが同時にオン状態とならないように制御される。



【特許請求の範囲】

【請求項1】 インダクタンス素子を含む複数の電力回路から成り、常に該複数の電力回路の中の少なくとも1つがオン状態となる電力回路において、該複数の電力回路の中の互いに隣接する2つの電力回路を同時にオン状態としないことを特徴とする電力回路。

【請求項2】 インダクタンス素子を含む複数の電力回路と制御回路から成り、上記制御回路が上記各電力回路のオン・オフ状態を制御することによって、常に該複数の電力回路の中の少なくとも1つがオン状態となる電力回路において、

上記制御回路が、上記複数の電力回路の中の互いに隣接する2つの電力回路を同時にオン状態としないように制御することを特徴とする電力回路。

【請求項3】 インダクタンス素子を含み所定の順番に並べられて配置された複数の電力回路と制御回路から成り、該制御回路が上記各電力回路のオン・オフ状態を制御することによって、常に該複数の電力回路の中の少なくとも1つがオン状態となる電力回路において、

上記制御回路は、上記複数の電力回路の中の第1の電力回路を第1の期間オン状態にし、上記第1の電力回路から少なくとも1つのオフ状態の電力回路を跨いだ位置に配置されている第2の電力回路を上記第1の期間に一部が重複する第2の期間オン状態にする制御を行うことを特徴とする電力回路。

【請求項4】 インダクタンス素子を含む複数の電力回路から成り、常に該複数の電力回路の中の少なくとも1つがオン状態となる電力回路において、上記各電力回路を互いに磁氣的に遮蔽する遮蔽板を設けたことを特徴とする電力回路。

【請求項5】 上記複数の電力回路が、DC/DC変換回路であることを特徴とする請求項1、2、3または4に記載の電力回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は複数の電力回路からなる電力回路に関し、特に複数のDC/DC変換回路から構成されるDC/DCコンバータに係わる。

【0002】

【従来の技術】 複数の回路を並列に接続し、それら各回路動作を適当に制御することにより、高速化や大容量化などの効果を得ようとする試みはよく行われている。例えば、複数のDC/DC変換回路を並列に接続し、それら各DC/DC変換回路の出力を平均化して大容量の直流電圧を取り出す回路が知られている。

【0003】 DC/DCコンバータは、変換時のロスが少なく高い変換効率であることが望まれるが、高効率を実現する形態のひとつとしては、共振型のDC/DCコンバータが知られている。以下に、大容量で高効率のDC/DCコンバータとして、並列接続された共振型DC

/DCコンバータの構成および動作を説明する。

【0004】 図5は、5個の共振型DC/DC変換回路を並列に接続したDC/DCコンバータの回路図である。同図において、第1の共振型DC/DC変換回路（以下、第1のDC/DCと省略する）は、入力側直流電源とインダクタ L_{11} との間にスイッチ SW_1 が設けられ、インダクタ L_{11} の出力はダイオード D_{11} のアノードに接続されている。ダイオード D_{11} のカソードはインダクタ L_{12} に接続されるとともに、コンデンサ C_1 およびダイオード D_{21} を介して接地されている。そして、インダクタ L_{11} とコンデンサ C_1 によってLC共振を行う。

【0005】 第2～第5の共振型DC/DC変換回路（以下、それぞれ第2～第5のDC/DCと省略する）は、上記第1のDC/DCと同じ構成である。そして、第1～第5のDC/DCの各インダクタ $L_{21} \sim L_{25}$ の出力側が互いに接続されて共通出力となっている。共通出力は、コンデンサ C_0 を介して接地されている。

【0006】 次に、上記構成の共振型DC/DCコンバータの動作を説明する。まず、スイッチ SW_1 をオン状態にすると、入力側直流電源からインダクタ L_{11} を介して供給される電流がコンデンサ C_1 に蓄積され、その電位が上昇する。その後、スイッチ SW_1 をオフ状態にすると、コンデンサ C_1 に蓄積された電荷はダイオード D_{11} に遮られているためにインダクタ L_{11} へ逆流することではなく、出力電圧として消費され、その電位が徐々に低下していく。

【0007】 以上の動作は、第2～第5のDC/DCにおいても同じである。そして、各第1～第5のDC/DCの出力は、それぞれインダクタ $L_{21} \sim L_{25}$ とコンデンサ C_0 から構成されるフィルタによって平均化され、直流電圧として出力される。

【0008】

【発明が解決しようとする課題】 ところで、第1～第5のDC/DCのスイッチ $SW_1 \sim SW_5$ のスイッチング動作は、その制御を簡単にするために、各スイッチ $SW_1 \sim SW_5$ が同時にオン状態となるように制御しても直流電圧を得ることができる。しかしながら、第1～第5のDC/DCから位相のそろった電圧波形が出力されると、出力波形のリプルが大きくなり、平滑化のためのフィルタのコンデンサの容量を大きくしなければならないという問題が生じる。

【0009】 この問題を解決するために、例えば、図6に示すようなタイミングで、スイッチ $SW_1 \sim SW_5$ のスイッチング状態を制御することが考えられる。すなわち、同図で例では、1周期を $12.5 \mu\text{s}$ 、各スイッチ $SW_1 \sim SW_5$ のオン状態の時間を $4 \mu\text{s}$ とし、スイッチ $SW_1 \rightarrow SW_2 \rightarrow SW_3 \rightarrow SW_4 \rightarrow SW_5 \rightarrow SW_1$ の順番でそれらスイッチ $SW_1 \sim SW_5$ がオン状態となるように制御している。そして、任意のスイッチがオン状態となる期間と、その任意のスイッチの次のタイミングでオン状態と

なるスイッチのオン状態の期間とが重なる期間（この例では、 $1.5\mu\text{秒}$ ）を設け、常に少なくとも1つのスイッチがオン状態になるように制御する。このように、上述のような2つのスイッチのオン状態が重なる期間を設けることによって、並列接続された共振型DC/DCコンバータの出力電圧が連続的になるので、その出力側においてリップルを吸収するための上記フィルタへの負担が軽くなり、そのコンデンサを小型化したり、コンデンサの発熱を抑えることを可能にしている。

【0010】しかしながら、一般に、DC/DCコンバータの全体構成を小型化したいという要求があり、そのために第1～第5のDC/DCを互いに出来るだけ近接させて設計をするので、上述のように、2つのスイッチが同時にオン状態となる期間が存在すると、それら2つのスイッチによって動作を制御される2つのDC/DC変換回路が、互いに影響を及ぼしあってしまう。例えば、スイッチSW1およびSW2が同時にオン状態となると、インダクタ L_{11} および L_{12} によって生成される磁束が互いに干渉しあい、それらインダクタ L_{11} と L_{12} とが結合してトランス状態となるので、それらインダクタ L_{11} および L_{12} を流れる電流の波形が乱れる。インダクタ L_{11} および L_{12} を流れる電流の波形を図7を参照しながら説明する。

【0011】図7において、第1と第2のDC/DCとの間での相互作用がないと仮定したときのインダクタ L_{11} および L_{12} に流れる電流 I_{11} 、 I_{12} の波形を実線で示す。この場合、電流 I_{11} 、 I_{12} の波形は正弦半波である。

【0012】ところが、実際は、同図に破線で示すように、電流 I_{11} の正弦半波の立下りが緩やかになり、また、電流 I_{12} の正弦半波の立上りも緩やかになる。このため、スイッチングロスが発生し、熱に変換される電力が増加する。したがって、DC/DCコンバータとして所望の電圧を得るためには、入力電流を増加させることになり、変換効率が悪化してしまうという問題がある。

【0013】このような問題は、上記並列接続された共振型DC/DCコンバータに限ったものではなく、複数の回路を近接させて配置し、それら回路の動作状態による影響が隣接する回路に及ぶような構成の場合、考慮しなければならない。

【0014】本発明は、上記課題を解決するものであり、複数の電力回路から成る電力回路における各回路間の相互作用を低下させることを目的とする。

【0015】

【課題を解決するための手段】本発明の請求項1に記載の電力回路は、インダクタンス素子を含む複数の電力回路から成り、常に該複数の電力回路の中の少なくとも1つがオン状態となる構成である。そして、上記複数の電力回路の中の互いに隣接する2つの電力回路を同時にオン状態としない。

【0016】本発明の請求項2に記載の電力回路は、インダクタンス素子を含む複数の電力回路と制御回路から成り、その制御回路が上記各電力回路のオン・オフ状態を制御することによって、常に上記複数の電力回路の中の少なくとも1つがオン状態となる構成である。そして、上記制御回路が、上記複数の電力回路の中の互いに隣接する2つの電力回路を同時にオン状態としないように制御する。

【0017】本発明の請求項3に記載の電力回路は、インダクタンス素子を含む所定の順番に並べられて配置された複数の電力回路と制御回路から成り、該制御回路が上記各電力回路のオン・オフ状態を制御することによって、常に該複数の電力回路の中の少なくとも1つがオン状態となる構成である。そして、上記制御回路は、上記複数の電力回路の中の第1の電力回路を第1の期間オン状態にし、上記第1の電力回路から少なくとも1つのオフ状態の電力回路を跨いだ位置に配置されている第2の電力回路を上記第1の期間に一部が重複する第2の期間オン状態にする制御を行う。

【0018】本発明の請求項4に記載の電力回路は、インダクタ素子を含む複数の電力回路から成り、常に該複数の電力回路の中の少なくとも1つがオン状態となる構成である。そして、上記各電力回路を互いに磁氣的に遮蔽する遮蔽板を設ける。

【0019】上記請求項1～4において、上記各複数の電力回路をDC/DC変換回路として構成することによってDC/DCコンバータを構成する。

【0020】

【作用】本発明の電力回路においては、互いに隣接しない2つの電力回路に対して同時にオン状態になることを許容することによって、常に少なくとも1つの電力回路がオン状態となり、このことによって、連続した出力電圧を得る。また、隣接する2つの電力回路が同時にオン状態とならないので、2つの電力回路が同時にオン状態となることによって発生する相互作用が小さくなる。

【0021】

【実施例】以下、本発明の実施例を図面を参照しながら説明する。図1は、本発明の電力回路の一実施例の共振型DC/DCコンバータの回路図である。同図において、従来の技術として説明した図5で使用した符号と同じ符号は、同一の素子を示す。また、図1において、それぞれ第1～第5の共振型DC/DC変換回路（以下、それぞれ第1～第5のDC/DCと省略する）の入力側にコンデンサ $C_{11} \sim C_{15}$ を設けているが、これらコンデンサ $C_{11} \sim C_{15}$ は、図5では省略したものである。したがって、図1に示す共振型DC/DCコンバータの回路構成は図5を用いて説明した通りであり、ここでは省略する。また、ここでは、第1～第5のDC/DCが、各請求項に記載の複数の電力回路に対応する。

【0022】上記共振型DC/DCコンバータは、第1

～第5のDC/DCを電氣的に並列接続することによって構成しているが、それらの物理的な配置は、その番号の順番(1、2、3、4、5)に一行に並べられている。

【0023】また、各第1～第5のDC/DCの動作は、図5を用いて説明した動作と同じであり、各スイッチSW1～SW5がそれぞれ12.5μ秒ごとに4μ秒間だけオン状態となるように制御される。この制御は、図2に示す制御回路によって実行される。

【0024】図2は、上記共振型DC/DCコンバータの各スイッチSW1～SW5のオン・オフ状態を制御する制御回路である。カウンタ10は、デコーダ機能が内蔵されたジョンソン・カウンタであり、クロック信号が入力される毎に、出力1→出力2→出力3→出力4→出力5→出力1という順番でサイクリックにパルスを出力する。ここでは、カウンタ10に入力されるクロックの周期は2.5μ秒である。

【0025】カウンタ10の出力1～出力5から出力されるパルス信号は、それぞれパルス幅調整回路11-1～11-5に入力される。パルス幅調整回路11-1～11-5は、例えばワンショット・マルチバイブレータであり、入力パルス信号の立上り(または、立下り)のタイミングで4μ秒のパルス幅を有する信号を出力する。

【0026】パルス幅調整回路11-1～11-5が出力する信号は、それぞれ、スイッチSW1、SW4、SW2、SW5、SW3を制御する。スイッチSW1～SW5をトランジスタとすると、パルス幅調整回路11-1～11-5が出力する信号は、それらトランジスタのベースに入力される。この信号によって、各スイッチSW1～SW5は、12.5μ秒周期において、4μ秒のオン状態と8.5μ秒のオフ状態とを繰り返す。

【0027】図3は、スイッチSW1～SW5のオン・オフ状態を説明するタイムチャートである。同図に示すように、上記制御回路が出力する信号によって各スイッチSW1～SW5のオン・オフ状態を制御すると、スイッチSW1のオン状態の期間と重複するオン状態の期間を有するスイッチは、スイッチSW3およびスイッチSW4である。以下では、各スイッチSW1～SW5がオン状態のとき、それぞれ対応する第1～第5のDC/D 40 Cがオン状態であるという表現を用いる。

【0028】ここで、第1のDC/DCと第3のDC/DCとは互いに隣接しておらず、また第1のDC/DCと第4のDC/DCも互いに隣接していない。したがって、第1および第3のDC/DC(または、第1および第4のDC/DC)が同時にオン状態になり、それぞれインダクタL₁₁およびL₁₃(または、インダクタL₁₁およびL₁₄)に同時に電流が流れても、それらインダクタ間は所定間隔以上(少なくとも、1つのDC/DC変換回路を跨ぐだけの距離)隔てられているので、それらイ 50

ンダクタが生成する磁束による相互の影響は非常に小さくなる。

【0029】このため、スイッチSW1およびSW3(または、スイッチSW4)がオン状態の期間にインダクタL₁₁およびL₁₃(または、インダクタL₁₁)に流れる電流の波形はほぼ正弦半波となり、スイッチングロスが減少し、DC/DC変換の効率が向上する。

【0030】同様に、第2～第5のDC/DCのそれぞれにおいても、任意のDC/DC変換回路がオン状態となっている期間に、それと重複するようにオン状態となる他のDC/DC変換回路は、上記任意のDC/DC変換回路とは隣接していないDC/DC変換回路である。したがって、上述の制御回路が出力する信号を用いて各スイッチSW1～SW5のオン・オフ状態を制御すると、第1～第5のDC/DCのなかの少なくとも1つのDC/DC変換回路をオン状態として動作させながら、互いに隣接するDC/DC変換回路どうしを同時にオン状態にさせないように動作させることができる。この結果、第1～第5のDC/DCのそれぞれにおいてスイッチングロスが減少し、共振型DC/DCコンバータ全体でDC/DC変換の効率が向上する。

【0031】なお、パルス幅調整回路11-1～11-5と各スイッチSW1～SW5との接続関係は、図2に示したパターンに限定されず、互いに隣接するDC/DC変換回路どうしを同時にオン状態にさせないように動作させる接続関係であればよく、例えば、パルス幅調整回路11-1～11-5の出力をそれぞれスイッチSW1、SW3、SW5、SW2、SW4に入力するようにしてもよい。

【0032】また、上記実施例では、5個のDC/DC変換回路を並列に接続した構成であるが、5個以上であれば任意の数のDC/DC変換回路から成る構成とすることができる。

【0033】上述の実施例では、スイッチングのタイミングを制御することによって、隣接するDC/DC変換回路のインダクタに同時に電流が流れた場合の相互作用を防ぐ構成であるが、他の構成としては、図4に示すように、遮蔽板を用いる方法が考えられる。この場合、各インダクタL₁₁～L₁₅に電流が流れたときに発生する磁束が他のインダクタへ到達しないように、各インダクタL₁₁～L₁₅の間を互いに遮るように、遮蔽板20を共振型DC/DCコンバータが形成されている基板21に取り付ける。遮蔽板20は、例えば、ケイ素鋼板である。この構成においても、各インダクタL₁₁～L₁₅間の相互作用を低下させることができる。

【0034】図1に戻る。コンデンサC₁₁～C₁₅は、それぞれ第1～第5のDC/DCへ供給する電荷を一時的に蓄積する。たとえば、第1のDC/DCにおいて、スイッチSW1がオフ状態にときにコンデンサC₁₁に電荷が蓄積されてその電位が上昇する。そして、スイッチS

W1がオン状態になるとその電荷がインダクタ L_{11} を介して流れる。このとき、もしスイッチSW1およびSW2が同時にオン状態になったとすると、コンデンサ C_{11} と C_{12} との間の配線は短いので、コンデンサ C_{11} と C_{12} の電位が互いに影響を及ぼしあい、インダクタ L_{11} または L_{12} に流れる電流が乱れる恐れがある。しかしながら、この実施例の共振型DC/DCコンバータでは、隣接するDC/DC変換回路どうしが同時にオン状態になることがないので、このような問題は発生せず、各インダクタ $L_{11} \sim L_{15}$ を介して流れる電流は安定し、安定したDC/DC変換を行うことができる。

【0035】また、上述のようなスイッチングのタイミングを制御することによる効果は、フィルタに対しても表れる。図1の例では、上記制御により、各インダクタ $L_{21} \sim L_{25}$ 間の相互作用が小さくなり、安定した平滑化が期待できる。この場合、それぞれインダクタ $L_{21} \sim L_{25}$ を含む複数のフィルタが、各請求項の複数の電力回路に相当する。

【0036】このように、上述のようなスイッチSW1～SW5のオン・オフ状態のタイミング制御は、隣接するDC/DC変換回路のインダクタの相互作用を防ぐだけでなく、隣接する回路が同時にオン状態になることによって発生する相互作用を防ぐ点において有効である。換言すれば、複数の回路を並べて配置し、常にそれら回路のうち少なくとも1つがオン状態（動作状態）であるような集積回路であって、互いに隣接する回路どうしが同時にオン状態になった場合に相互作用を発生する構成において、上記実施例で示したタイミング制御は、その相互作用を低下させるために有効である。

【0037】

【発明の効果】複数の電力回路からなる電力回路において、互いに隣接する電力回路が同時にオン状態になることを防ぐので、各電力回路間の相互作用を低下させることができる。

*

*【0038】特に、複数のDC/DC変換回路を接続して構成したDC/DCコンバータにおいて、隣接するDC/DC変換回路が同時にオン状態にならないようにしたので、それら隣接するDC/DC変換回路がそれぞれ有するインダクタ間の相互作用が減少し、スイッチングロスが低下するので、変換効率が向上する。

【図面の簡単な説明】

【図1】本発明の一例のDC/DCコンバータの回路図である。

【図2】上記DC/DCコンバータのスイッチング動作を制御する制御回路のブロック図である。

【図3】上記DC/DCコンバータの各DC/DC変換回路の動作を説明するタイムチャートである。

【図4】本発明のDC/DCコンバータの各DC/DC変換回路の間に設ける遮蔽板を示す模式図である。

【図5】複数のDC/DC変換回路が並列接続されたDC/DCコンバータの一例を示す回路図である。

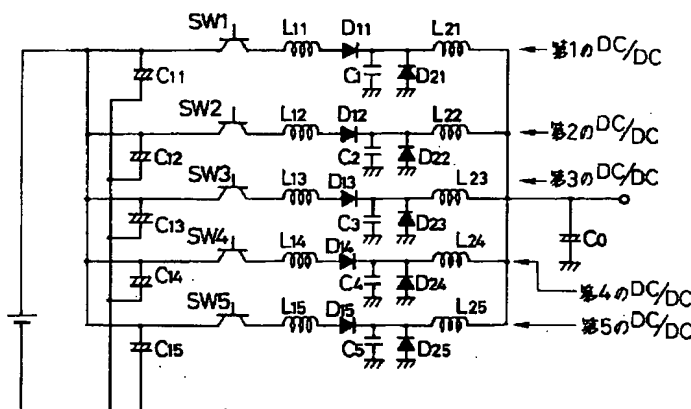
【図6】従来技術における各DC/DC変換回路の動作を説明するタイムチャートである。

【図7】従来技術における電流波形の乱れを説明する図である。

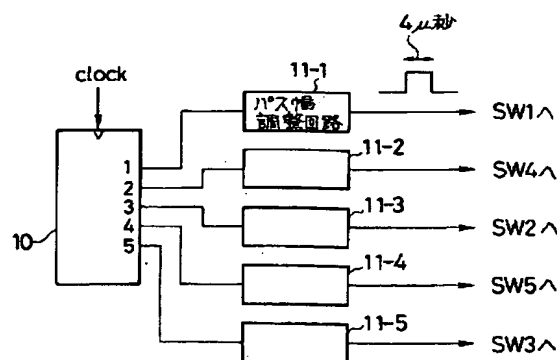
【符号の説明】

SW1～SW5	スイッチ
$L_{11} \sim L_{15}$	インダクタ（共振用）
$D_{11} \sim D_{15}$	ダイオード
$C_1 \sim C_5$	コンデンサ（共振用）
$D_{21} \sim D_{25}$	ダイオード
$L_{21} \sim L_{25}$	インダクタ
C_0	コンデンサ
$C_{11} \sim C_{15}$	コンデンサ
10	カウンタ
11-1～11-5	パルス幅調整回路
20	遮蔽板

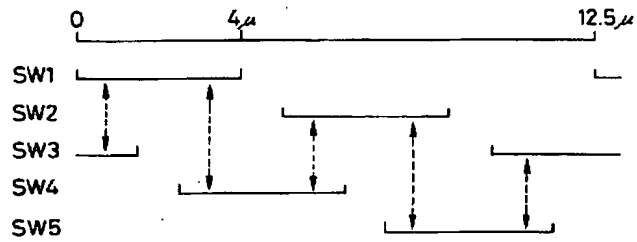
【図1】



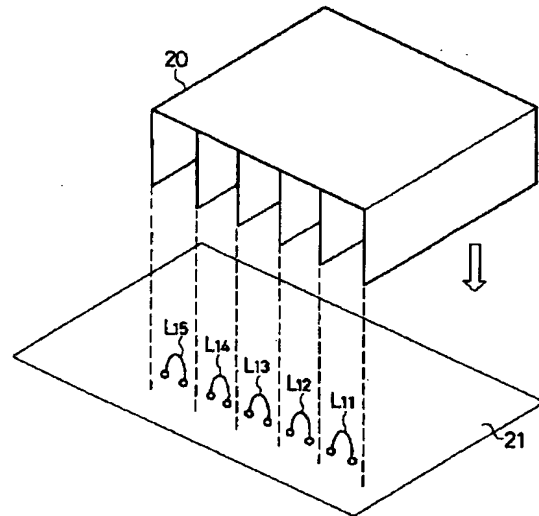
【図2】



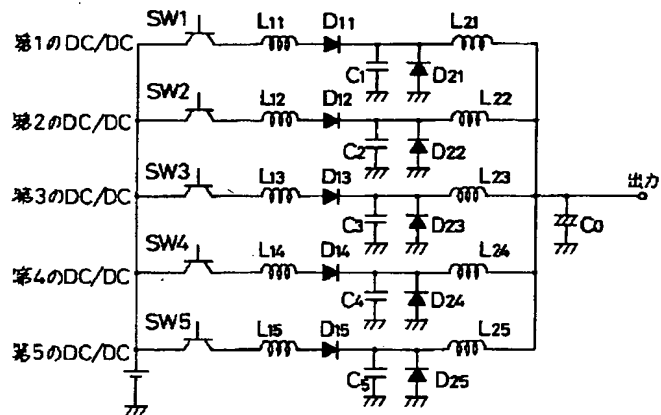
【図3】



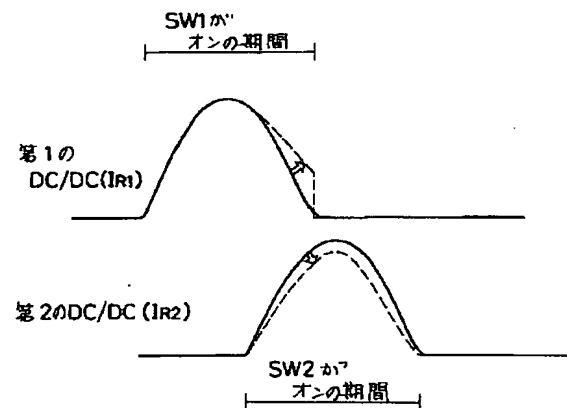
【図4】



【図5】



【図7】



【図6】

